

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
OKE et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: LIQUID CRYSTAL DISPLAY DEVICE)
ATTORNEY DOCKET NO. HITA.0517)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

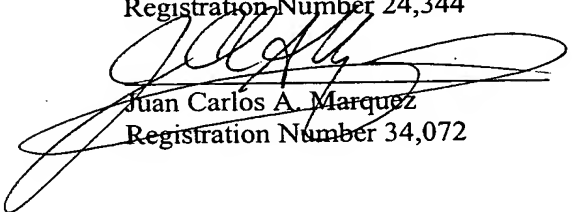
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of March 7, 2003, the filing date of the corresponding Japanese Patent Application No. 2003-060971.

A certified copy of Japanese Patent Application No. 2003-060971 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 20, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 7 日
Date of Application:

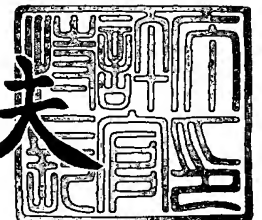
出 願 番 号 特 願 2 0 0 3 - 0 6 0 9 7 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 0 9 7 1]

出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200260

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 桶 隆太郎

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 小野 記久雄

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 落合 孝洋

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

互いに交差する多数のゲート線および多数のドレイン線と、前記ゲート線とドレイン線の各交差部分にマトリクス状に形成したスイッチング素子と、前記スイッチング素子で駆動される画素電極と、前記画素電極との間の電界により液晶を駆動する対向電極を形成したアクティブ・マトリクス基板と、液晶層を介して対向する他方の基板とを具備した液晶表示装置であって、

前記対向電極は、前記ドレイン線の上方に絶縁層を介して前記ドレイン線に重畳し、該ドレイン線より幅広の領域を有し、該対向電極は、その端縁と前記ドレイン線との間に、その延在方向に沿って窪んだ凹溝を有することを特徴とする液晶表示装置。

【請求項 2】

前記凹部は、前記ドレイン線の両側に有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

互いに交差する多数のゲート線および多数のドレイン線と、前記ゲート線とドレイン線の各交差部分にマトリクス状に形成したスイッチング素子と、前記スイッチング素子で駆動される画素電極と、前記画素電極との間の電界により液晶を駆動する対向電極を形成したアクティブ・マトリクス基板と、液晶層を介して対向する他方の基板とを具備した液晶表示装置であって、

前記ゲート線の上方に絶縁層を介して前記ゲート線に重畳し、該ゲート線より幅広の領域を有し、

該対向電極は、その端縁と前記ゲート線との間に、その延在方向に沿って窪んだ凹溝を有することを特徴とする液晶表示装置。

【請求項 4】

前記ゲート線と近接して配置された対向電極線を有し、

前記凹溝は前記ゲート線に対し、前記画素電極の側に有し、前記ゲート線に対

し前記画素電極と反対側は前記対向電極と前記対向電極線が重畳していることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ドレイン線の下層に、前記対向電極の前記凹溝の下側に位置付けられたシールド電極を有することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 6】

前記シールド電極は前記対向電極線に接続していることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

互いに交差する多数のゲート線および多数のドレイン線と、前記ゲート線とドレイン線の各交差部分にマトリクス状に形成したスイッチング素子と、前記スイッチング素子で駆動される画素電極と、前記画素電極との間の電界により液晶を駆動する対向電極を形成したアクティブ・マトリクス基板と、液晶層を介して対向する他方の基板とを具備した液晶表示装置であって、

前記画素電極あるいは前記対向電極の一方または双方の電極の延在方向に沿って下層側に窪んだ凹溝を有することを特徴とする液晶表示装置。

【請求項 8】

前記凹溝を有する前記画素電極あるいは前記対向電極の一方または双方の電極の上に配向膜を有し、前記配向膜の前記凹溝の中央部分での膜厚が前記電極の平坦端部分より厚いことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記凹溝を有する前記電極が、前記ドレイン電極の上層に形成された絶縁層を介して形成されており、前記凹溝は前記ドレイン電極と前記電極の間に有し、かつ前記電極の上に配向膜を有し、前記配向膜の前記凹溝の中央部分での膜厚が前記電極の端部より厚いことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 10】

前記電極が透明電極であり、ノーマブラックモードで表示を行うことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 11】

前記凹溝と前記配向膜の間に金属層を有することを特徴とする請求項10に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に係り、特に画素毎にスイッチング素子をマトリクス配置した基板を備えたアクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、ガラス等の絶縁基板上に薄膜トランジスタ（以下、TFTとも称する）に代表されるスイッチング素子をマトリクス配置し、各画素をスイッチング素子で選択することで映像（あるいは画像とも称する）を表示するものである。

【0003】

すなわち、液晶表示装置は、基本的には二枚の基板の一方をアクティブ・マトリクス基板とし、カラーフィルタを形成した他方の基板の間に液晶層を挟持し、この液晶層に画素の階調に応じた電界を印加してその分子配向を制御することで液晶層を通過する光の量を調整する、所謂光シャッター動作を利用した表示原理に基づくものである。そして、その視野角を拡大する方式として、液晶層に印加する電界の方向が基板面に対して略平行に印加する横電界方式（IPSとも称する）の液晶表示装置が開発された。

【0004】

IPS方式の液晶表示装置では、アクティブ・マトリクス基板上に互いに交差するゲート線（走査信号線）とドレイン線（データ信号線あるいは映像信号線とも称する）の各交差部分にTFTを備えている。そして、このTFTで駆動される画素電極と液晶層を介して対峙する対向電極をアクティブ・マトリクス基板上に並設し、上記した基板面に対して略平行な電界を発生させ、この電界で液晶層の分子の配向方向を制御する。この種の液晶表示装置を開示したものとしては、例えば特開平9-258265号公報を挙げることができる。

【0005】

【特許文献1】

特開平9-258265号公報

【0006】

【発明が解決しようとする課題】

しかし、この種の液晶表示装置では、アクティブ・マトリクス基板上の配線が複雑であり、アクティブ・マトリクス基板上に形成したドレイン線と略方向に対向電極や画素電極が形成され、ドレイン線上に対向電極の一部が重畳して形成され、またゲート線や対向電極線などとも重畳して各種電極が形成される。そのため、ドレインやゲート線、その他の配線や電極からの漏洩電界が画素電極や対向電極などの電位に影響を及ぼし、液晶層に印加される電界を乱して表示品質を劣化させることがある。また、上記ドレイン線やゲート線あるいは対向電極や画素電極などの多数の配線をアクティブ・マトリクス基板上に形成するため、薄膜で形成される上層電極に断線が発生し易い。

【0007】

「特許文献1」には、ドレイン線の上方に絶縁層を介して当該ドレイン線を覆うように凸状の対向電極を形成すると共に、凸状の絶縁層上に凸状の画素電極を形成し、当該各凸状の対向電極と画素の間に基板と平行な方向の電界、すなわち横電界を形成したものが開示されている。この構造により、ドレイン線が対向電極で遮蔽されることで当該ドレイン線からの漏洩電界が画素電極に影響するのが抑制される。しかし、このような凸状電極は、その形状が凸状であるため、特に成膜時の異物起因で薄膜である対向電極や画素電極に断線、所謂段切れが発生易く、表示不良の原因となり易い。

【0008】

本発明の目的は、ドレイン線等の上方に段切れのない形状で対向電極を形成し、ドレイン線等からの漏洩電界を遮蔽することで表示不良を抑制したアクティブ・マトリクス基板を備えた液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の液晶表示装置は、互いに交差する多数のゲート線および多数のドレイン線と、前記ゲート線とドレイン線の各交差部分にマトリクス状に形成したスイッチング素子と、前記スイッチング素子で駆動される画素電極と、前記画素電極との間の電界により液晶を駆動する対向電極を形成したアクティブ・マトリクス基板と、液晶層を介して対向する他方の基板とを具備しており、

前記対向電極は、前記ドレイン線の上方に絶縁層を介して前記ドレイン線に重畳し、該ドレイン線より幅広の領域を有し、該対向電極は、その端縁と前記ドレイン線との間に、その延在方向に沿って窪んだ凹溝を設けている。

【0010】

また、本発明の前記凹部は、前記ドレイン線の両側に設けることができ、対向電極は、その端縁と前記ゲート線との間に、その延在方向に沿って窪んだ凹溝を有している。

【0011】

また、本発明の液晶表示装置では、前記ゲート線と近接して配置された対向電極線を有し、前記凹溝は前記ゲート線に対し、前記画素電極の側に有し、前記ゲート線に対し前記画素電極と反対側は前記対向電極と前記対向電極線が重畳する構成とすることができる。

【0012】

また、本発明の液晶表示装置は、前記ドレイン線の下層に、前記対向電極の前記凹溝の下側に位置付けられたシールド電極を設けることができ、前記シールド電極を前記対向電極線に接続する構成とすることができる。

【0013】

また、本発明の液晶表示装置では、互いに交差する多数のゲート線および多数のドレイン線と、前記ゲート線とドレイン線の各交差部分にマトリクス状に形成したスイッチング素子と、前記スイッチング素子で駆動される画素電極と、前記画素電極との間の電界により液晶を駆動する対向電極を形成したアクティブ・マトリクス基板と、液晶層を介して対向する他方の基板とを具備しており、

前記画素電極あるいは前記対向電極の一方または双方の電極の延在方向に沿っ

て下層側に窪んだ凹溝を設けている。

【0014】

また、本発明は、前記凹溝を有する前記画素電極あるいは前記対向電極の一方または双方の電極の上に配向膜を有し、前記配向膜の前記凹溝の中央部分での膜厚を前記電極の平坦端部分より厚くすることができる。

【0015】

また、本発明では、前記凹溝を有する前記電極が、前記ドレイン電極の上層に形成された絶縁層を介して形成されており、前記凹溝は前記ドレイン電極と前記電極の間に有し、かつ前記電極の上に配向膜を有し、前記配向膜の前記凹溝の中央部分での膜厚を前記電極の端部より厚く形成した。さらに、前記電極を透明電極として、ノーマブラックモードで表示を行うように構成することができる。

【0016】

上記本発明の各構成としたことにより、ドレイン線等からの漏洩電界がシールドされ、液晶層に印加される電界に対してドレイン線等からの漏洩電界の影響を抑制することができ、スメア等の表示不良が防止される。また、「特許文献1」における凸部の形成ではないため、電極を構成する薄膜の断線を防止でき、高信頼性かつ高品質の液晶表示装置を得ることができる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。図1は本発明による液晶表示装置の第1実施例の説明図であり、図1(a)はアクティブ・マトリクス基板を図示しないカラーフィルタ基板側からみた一画素付近の平面図、図1(b)は図1(a)のA-A'線に沿った模式断面図、図1(c)は図1(a)のB-B'線に沿った模式断面図、図1(d)は図1(a)のC-C'線に沿った模式断面図を示す。この液晶表示装置の一画素は、ガラス等の絶縁基板SUB1上に複数のゲート線GL、ゲート線GLと交差する多数のドレイン線DL、ゲート線GLと平行な対向電極線CLが形成されている。ゲート線GLとドレイン線DLの交差部分に薄膜トランジスタTFTが設けられている。薄膜トランジスタTFTはゲート線GLをゲート電極とし、この上に形成さ

れた半導体層 a-Si にドレイン線 DL から延びるドレイン電極 SD1 とソース電極 SD2 が形成されている。画素電極 PX と対向電極 CT は ITO 等の透明導電膜である。

【0018】

図1(a) に点線で示したブラックマトリクス BM は、ここではカラーフィルタ基板側にあり、ゲート線 GL と対向電極線 CL を隠すように配置されており、このブラックマトリクス BM で形成される開口が画素領域となっている。画素電極 PX は薄膜トランジスタ TFT のソース電極 SD2 にスルーホール TH1 で接続されて画素領域に配置されている。一方、対向電極線 CL は絶縁基板 SUB1 の最下層に設けられており、図示しないスルーホールで対向電極 CT に接続されている。対向電極 CT は各画素の周囲と画素領域に配置されており、画素領域では細い電極形状に形成され、ドレイン線 DL とゲート線 GL および対向電極線 CL の部分では比較的幅広となっている。各配線、電極の積み重ねはゲート絶縁層 GI、絶縁層 PAS1, PAS2 を介して構成されている。各絶縁層は図1(b) 乃至 (d) に示したとおりである。絶縁層 PAS1, PAS2 を以下ではパッシベーション層と称する。

【0019】

本実施例では、ドレイン線 DL の上方における対向電極 CT は絶縁基板 SUB1 の基板面方向の幅が前記ドレイン線 DL の幅よりより幅広とされ、ドレイン線 DL の上方にパッシベーション層 PAS1, PAS2 を介してドレイン線 DL に沿って平行に重畳している。そして、対向電極 CT の延在方向端縁とドレイン線 DL との間に、当該ドレイン線 DL の側で、かつその延在方向に沿って窪んだ凹溝 AL が形成されている。本実施例では、凹溝 AL をドレイン線 DL に関して両側に設けているが、片側であっても本発明の実用上の効果を得ることができる。

【0020】

図2 は対向電極に凹溝を設けた場合のシールド効果の説明図である。また図3 は対向電極に凹溝を設けない平板のままとした場合のシールド効果の説明図である。図2 に示したように、対向電極に凹溝を設けた場合のドレイン線 DL の電界分布は図示したようになり、凹溝を設けない平板のままの場合は図3 に示したよ

うになる。なお、図2および図3における参照符号SUB2はカラーフィルタ基板を構成するガラス等の透明基板、CFはカラーフィルタ、LCは液晶層を示す。ここでは、アクティブ・マトリクス基板やカラーフィルタ基板の液晶層LCとの境界に設ける配向膜は図示を省略してある。また、パッシベーション層は一層として示す。

【0021】

図4は対向電極に凹溝を設けた場合と設けない平板のままとした場合の対向電極近傍における電界強度の測定例の説明図である。図4中、参照符号Wは対向電極の幅に相当し、黒丸の曲線は対向電極に凹溝を設けた場合、白三角の曲線は対向電極に凹溝を設けない場合を示す。

【0022】

図5は対向電極に凹溝を設けた場合と設けない平板のままとした場合の対向電極近傍における電位の測定例の説明図である。図5中、参照符号Wは対向電極の幅に相当し、黒丸の曲線は対向電極に凹溝を設けた場合、白三角の曲線は対向電極に凹溝を設けない場合を示す。

【0023】

図2乃至図5を比較して分かるように、対向電極CTに設けた凹溝により、ドレイン線DLの端部での電界は下方に押し下げられている。したがって、ドレイン線DLから画素電極PXへの電界の漏洩が抑制される。

【0024】

本実施例により、ドレイン線DLからの漏洩電界が対向電極CTでシールドされ、またドレイン線DLに近接する凹溝を設けたことで対向電極CTとドレイン電極DLの実質距離が短縮されるため、平板状の対向電極よりも液晶層に印加される電界に対してドレイン線DLからの漏洩電界の影響をより抑制することができ、スメア等の表示不良が防止され、高信頼性かつ高品質の液晶表示装置を得ることができる。

【0025】

図6は本発明による液晶表示装置の第2実施例の説明図であり、図6(a)はアクティブ・マトリクス基板を図示しないカラーフィルタ基板側からみた一画素

付近の平面図、図 6 (b) は図 6 (a) の A-A' 線に沿った模式断面図、図 6 (c) は図 6 (a) の B-B' 線に沿った模式断面図を示す。図中の参照符号は図 1 と同様である。本実施例では、図 1 の構成に加えてゲート線 GL の上方における対向電極 CT のアクティブ・マトリクス基板の基板面方向の幅をゲート線 GL の幅よりより幅広くした。対向電極 CT は、ゲート線 GL の上方に、絶縁層 GI、パッシベーション層 PAS1, PAS2 を介してド레인線 DL に沿い、アクティブ・マトリクス基板の基板面と平行に重畳している。そして、対向電極 CT の延在方向端縁とゲート線 CT との間に、当該ゲート線 GT の側、かつその延在方向に沿って窪んだ凹溝 AL を設けた。本実施例は、凹溝 AL をゲート線 GL の画素電極 PX 側にのみ形成した。また、ゲート線 GL の画素電極 PX と反対側を対向電極線 CL と重畳させた。

【0026】

本実施例により、ゲート線 GL からの漏洩電界もシールドできる。なお、ゲート線 GL の画素電極 PX と反対側を対向電極線 CL と重畳させたことでド레인線 DL とゲート線 GL の漏洩電界はシールドされ、高信頼性かつ高品質の液晶表示装置を得ることができる。

【0027】

図 7 は本発明による液晶表示装置の第 3 実施例の説明図であり、図 7 (a) はアクティブ・マトリクス基板を図示しないカラーフィルタ基板側からみた一画素付近の平面図、図 7 (b) は図 7 (a) の A-A' 線に沿った模式断面図、図 7 (c) は図 7 (a) の B-B' 線に沿った模式断面図を示す。図中の参照符号は図 1、図 6 と同様である。本実施例では、図 6 の構成に加えてド레인線 DL の下層かつ対向電極 CT の凹溝 AL の下側の位置沿って一対のシールド電極 SE を設けた。また、このシールド電極 SE を共通電極線 CL に接続した。

【0028】

本実施例により、この凹溝 AL で対向電極電位面が形成され、ド레인線 DL からの漏洩電界がさらに良好にシールドされ、高信頼性かつ高品質の液晶表示装置を得ることができる。

【0029】

図8は本発明による液晶表示装置の第4実施例の説明図であり、図8(a)はアクティブ・マトリクス基板を図示しないカラーフィルタ基板側からみた一画素付近の平面図、図8(b)は図8(a)のA-A'線に沿った模式断面図を示す。図中の参照符号は図1、図6、図7と同様である。本実施例では、画素電極PXに凹溝ALを形成した。なお、図8では図示した二本の画素電極の一方にのみ凹溝ALを形成してあるが、二本の画素電極の双方（三本以上の画素電極がある場合は、その全ての画素電極）に同様の凹溝を設けることもできる。

【0030】

画素電極は細い電極であり、下層のパッシベーション層PAS2との接触面積小さいことから、製造工程中に剥がれ易く、歩留りを低下させる原因の一つとなっている。このような細い電極に凹溝を形成することで下層のパッシベーション層との接触面積が増大し、剥がれを抑制し、歩留りを向上することができる。他の効果は前記各実施例と同様である。

【0031】

図9は本発明による液晶表示装置の第5実施例の説明図である。図中、前記各実施例と同一機能部分には同一参照符号を付してある。本実施例では、画素電極PXと、この画素電極と同様な細い電極である画素中にある対向電極CTにも凹溝ALを形成した。他の効果は第4実施例と同様である。

【0032】

図10は本発明による液晶表示装置の第6実施例の説明図である。図中、前記各実施例と同一機能部分には同一参照符号を付してある。本実施例では、画素電極PXとドレイン線に近接する対向電極にも図1と同様の凹溝ALを形成したものである。なお、図10では図示した二本の画素電極の一方にのみ凹溝ALを形成してあるが、二本の画素電極の双方（三本以上の画素電極がある場合は、その全ての画素電極）に同様の凹溝を設けることもできる。本実施例の効果は第1実施例および第4、第5実施例と同様である。また、図8乃至図10の構成を組み合わせることもできる。

【0033】

図11は本発明による液晶表示装置の第7実施例を説明する模式図であり、図

11 (a) はパッシベーション層 P A S 上に形成された電極 E D とこの電極 E D 上に形成された配向膜 O R I を示す。なお、電極 E D は前記実施例における画素電極 P X、対向電極 C T の何れかである。また、図 11 (b) は画素領域における画素電極 P X と対向電極 C T の間に形成される電界の説明図である。配向膜 O R I には液晶層 L C が接している。配向膜 O R I は誘電体である樹脂材料の塗布で形成される。前記本発明の各実施例で説明した電極 E D (P X, C T) の上を覆って形成される配向膜 O R I の膜厚は、電極 E D (P X, C T) に有する凹溝 A L がある中央部分で厚く (膜厚 t_2)、当該電極 E D (P X, C T) が無い平坦部分で薄く (t_1) になっている。

【0034】

I P S 方式の液晶表示装置では、アクティブ・マトリクス基板上の基板面と平行又は略平行に電界を形成して液晶層の分子配向を制御する。図 11 (b) に示したように、一方の電極 E D が画素電極 P X で、他方の電極 E D が画素電極 P X の両側に配置される対向電極 C T である場合に、隣接する画素電極 P X と対向電極 C T の間に横方向の電界 H F が形成され、これが液晶層 L C に作用することで I P S 方式の表示動作が実現する。しかし、画素電極 P X の中央部分では縦方向の電界 V F が生じる。この縦方向の電界 V F は横方向の電界 H F の擾乱を招き、光漏れの原因となってコントラスト比を低下させる。

【0035】

図 11 (a) に示したように、画素電極 P X に凹溝 A L を設けることで縦方向の電界 V F は誘電体の配向膜で損失が起こる。したがって、膜厚の大なる凹溝付近での電界損失は大きく、平坦部分では小さい。そのため、本実施例により、横方向の電界 H F の擾乱を招く縦方向の電界 V F の強度が低減し、光漏れが抑制されてコントラスト比の低下が少なくなる。

【0036】

また、本発明の第 8 実施例として、凹溝を有する電極 E D をドレイン電極 D L の上層に形成された絶縁層を介して形成された対向電極 C T とし、凹溝 A L をドレイン電極 D L の電極端と対向電極 C T お画素電極 P X 側の電極端の間に形成することで、図 11 (b) と同様の効果を得ることができる。

【0037】

第7実施例と第8実施例における画素電極P Xと対向電極C TをITO等の透明導電膜で形成することで、ノーマリブラックモードの液晶表示が得られる。このとき、第7実施例および／または第8実施例の構成とすることで前記光漏れの抑制によるコントラスト比の低下効果が顕著となる。

【0038】

図12は本発明による液晶表示装置の第9実施例を説明する模式図である。本実施例では、前記図11で説明した電極E Dの凹溝A Lの部分に金属層M Lを積層し、その上に配向膜O R Iを形成した。本実施例により、凹溝部分すなわち電極E Dの中央部分における縦方向の電界に起因する前記光漏れを直接遮光でき、さらにコントラスト比を向上することができる。

【0039】

図13は電極に凹溝を形成する方法の一つを説明する模式図である。図13に示したように、例えばパッシベーション層P A S 2の下層にあるパッシベーション層P A S 1の上記凹溝形成部分に相当する一部を除去した後、パッシベーション層P A S 2を成膜することで、当該パッシベーション層P A S 2上に形成される電極の凹溝A Lとなる部分に凹溝が形成される。この上に電極を成膜し、パターンニングすることで前記した凹溝A Lを有する電極を得ることができる。

【0040】

また、上記した凹溝A Lをパッシベーション層P A S 2に形成する方法の他の一つとして、レジスト塗布後の露光時に当該パッシベーション層P A S 2上に形成される電極の凹溝A Lとなる部分をハーフ露光する。その後、エッチング加工を施すことで、ハーフ露光された部分のパッシベーション層P A S 2が周辺部分よりも多く除去されて当該パッシベーション層P A S 2上に凹溝が形成される。この上に電極を成膜し、パターンニングすることで前記した凹溝A Lを有する電極を得ることができる。

【0041】

図14は本発明により電極に凹溝を形成する場合の効果を前記した「特許文献1」に開示された凸状の絶縁層上に凸状の画素電極を形成する従来技術と比較し

た説明図である。図14 (A) は従来技術の電極形成プロセスを示し、図14 (B) は本発明の電極形成プロセスを示す。

【0042】

まず、図14 (A) において、基板SUB上に絶縁層INSを塗布する(A-1)。この上にレジストを塗布し、マスクを用いて所定のパターンに露光し、現像してレジストパターンRG1を形成する(A-2)。これをエッチング処理して絶縁層INSを凸状にパターニングする(A-3)。絶縁層INSを凸状にエッチング加工する際、当該加工量が多いため、レジストの残渣RGRが多発する。この上に電極EDとなる導電膜EDFを成膜し(A-4)、さらにその上に電極のパターニングのためのレジストRG2を塗布する。このとき、レジスト残渣RGRの存在で電極となる導電膜EDFに急峻な段差が発生し、レジストRG2が正常に塗布されずに、導電膜EDFが露呈した部分が発生する。その後、マスクを用いて電極パターンに露光し、現像する(A-5)。これをエッチング処理して電極EDを形成する(A-6)。

【0043】

しかし、レジストRG2から露呈した部分にエッチング液が入り込むため、当該部分が段切れ状態となったり、また断線に至らなくても多数の穴明きは発生する。これにより、当該電極がドレイン線DL上にある対向電極CTに生じると、不要電界が漏れ出し、シールド効果が低下する。また、穴明き部分では電界が発生しないため電界強度が不足し、所要の電界を得るための駆動電圧が上昇する。そして、このような現象が表示領域の面内で不均一に生じるため、当該面内での駆動電圧がバラバラになって、面内輝度がばらついてざらついた画面や輝度ムラをもたらす。

【0044】

一方、図14 (B) に示した本発明のプロセスは、先ず基板SUB上に絶縁層INSを塗布する(B-1)。この上にレジストを塗布し、電極EDの凹溝となる部分のレジストをハーフ露光し、現像して薄い部分をもつレジストパターンRG1を形成する(B-2)。これをエッチング処理することで絶縁層INSの薄い部分に凹溝状部分ALAを形成(B-3)。この上に電極EDとなる導電膜E

D F を成膜し (B-4)、さらにその上に電極のパターニングのためのレジスト R G 2 を塗布し、レジスト R G 2 を所要の電極パターンにパターニングする (B-5)。パターニングしたレジスト R G 2 をマスクとして導電膜 E D F をエッチング加工し、凹溝 A L を有する電極 E D を形成する (B-6)。

【0045】

本発明の電極形成プロセスによれば、電極形成時の絶縁層や導電膜に従来プロセスのような段差が少なく、段切れや穴明きの発生を抑制して凹溝をもった電極を正確に形成することができる。

【0046】

【発明の効果】

以上説明したように、本発明によれば、表示領域に形成されるドレイン線等からの漏洩電界を効果的にシールドし、液晶層に印加される電界に対して当該ドレイン線等からの漏洩電界の影響を抑制することができ、スミア等の表示不良を防止した高信頼性かつ高品質の液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】

本発明による液晶表示装置の第1実施例の説明図である。

【図2】

対向電極に凹溝を設けた場合のシールド効果の説明図である。

【図3】

対向電極に凹溝を設けない平板のままとした場合のシールド効果の説明図である。

【図4】

対向電極に凹溝を設けた場合と設けない平板のままとした場合の対向電極近傍における電界強度の測定例の説明図である。

【図5】

対向電極に凹溝を設けた場合と設けない平板のままとした場合の対向電極近傍における電位の測定例の説明図である。

【図6】

本発明による液晶表示装置の第2実施例の説明図である。

【図7】

本発明による液晶表示装置の第3実施例の説明図である。

【図8】

本発明による液晶表示装置の第4実施例の説明図である。

【図9】

本発明による液晶表示装置の第5実施例の説明図である。

【図10】

本発明による液晶表示装置の第6実施例の説明図である。

【図11】

本発明による液晶表示装置の第7実施例を説明する模式図である。

【図12】

本発明による液晶表示装置の第9実施例を説明する模式図である。

【図13】

電極に凹溝を形成する方法の一つを説明する模式図である。

【図14】

本発明により電極に凹溝を形成する場合の効果を従来技術と比較した説明図である。

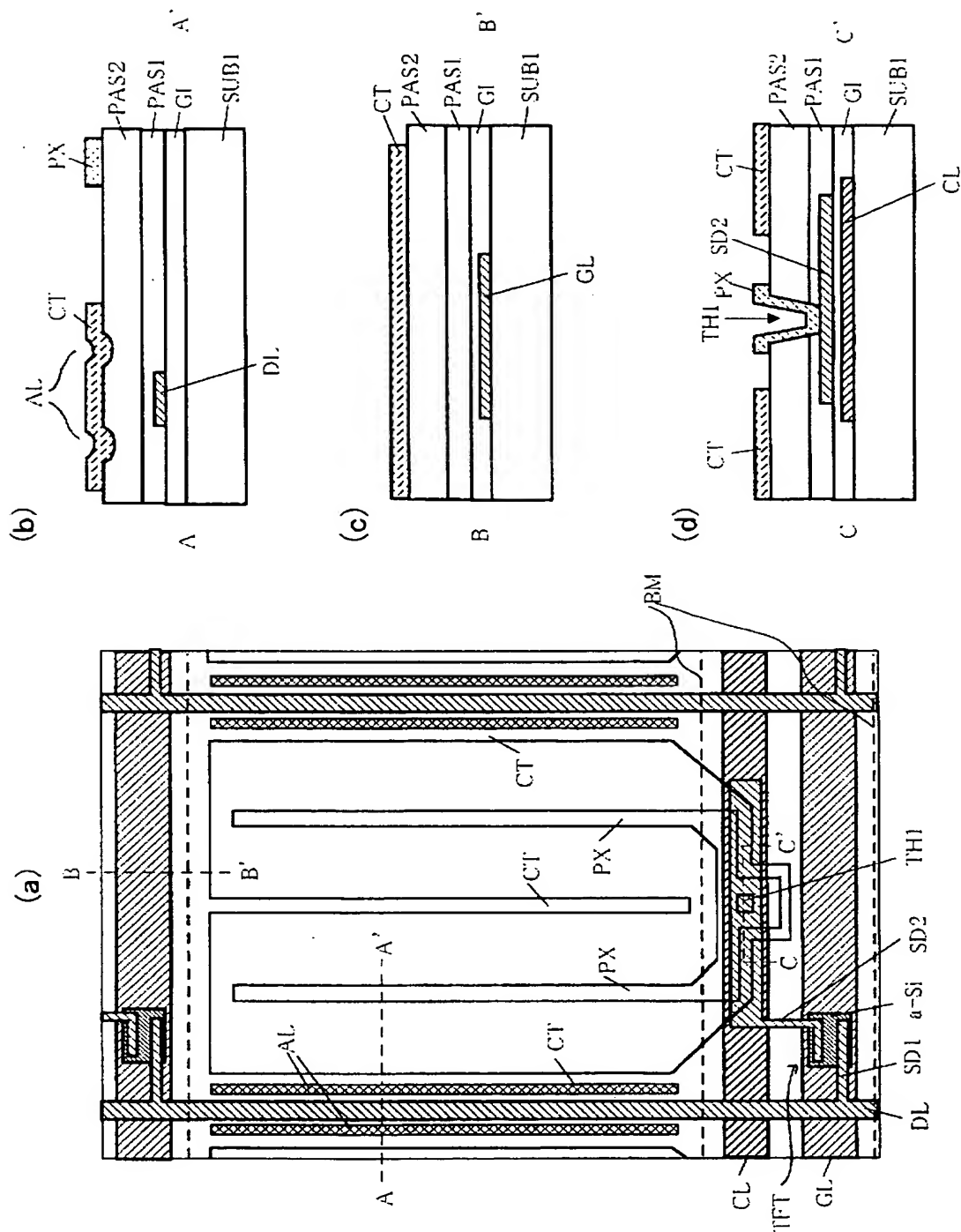
【符号の説明】

SUB1・・・絶縁基板（アクティブ・マトリクス基板）、GL・・・ゲート線、DLドレイン線、CL・・・対向電極線、TFT・・・薄膜トランジスタ、a-Si・・・半導体層、SD1・・・ドレイン電極、SD2・・・ソース電極、PX・・・画素電極、CT・・・対向電極、BM・・・ブラックマトリクス、GI・・・ゲート絶縁層、PAS1, PAS2・・・絶縁層（パッシベーション層）、AL・・・凹溝。

【書類名】

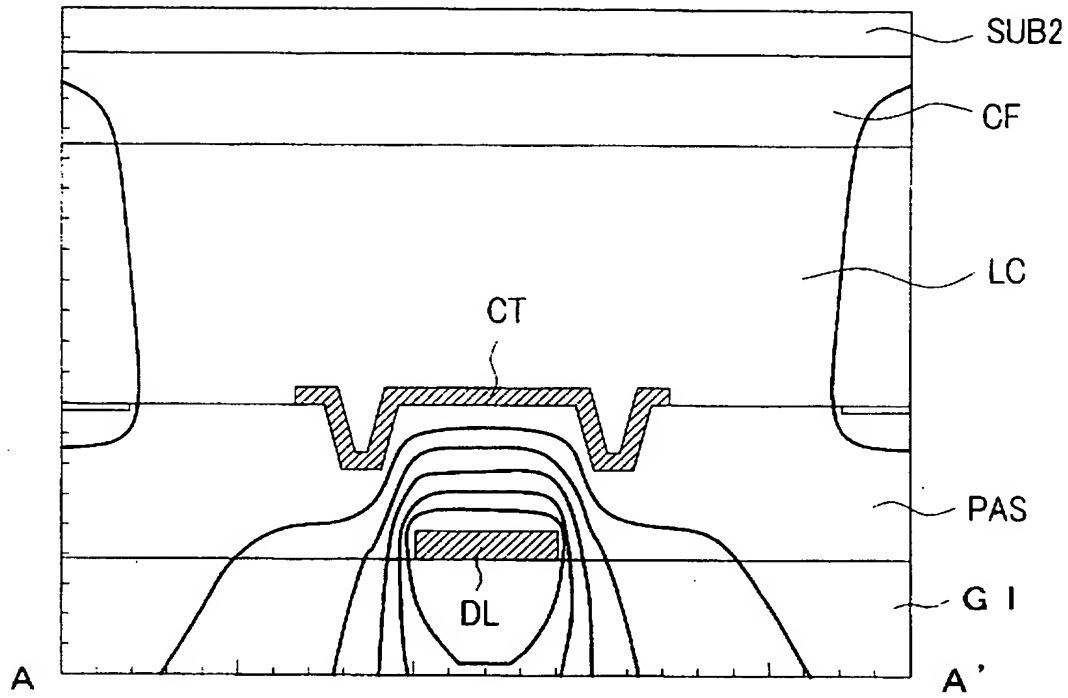
図面

【図 1】



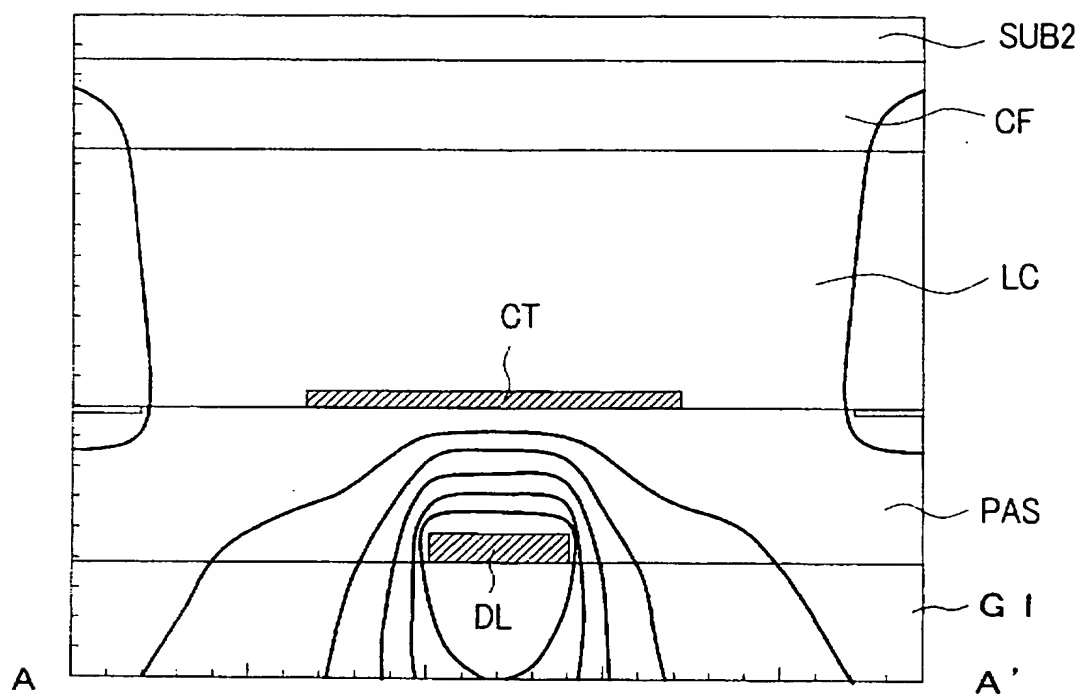
【図 2】

図 2



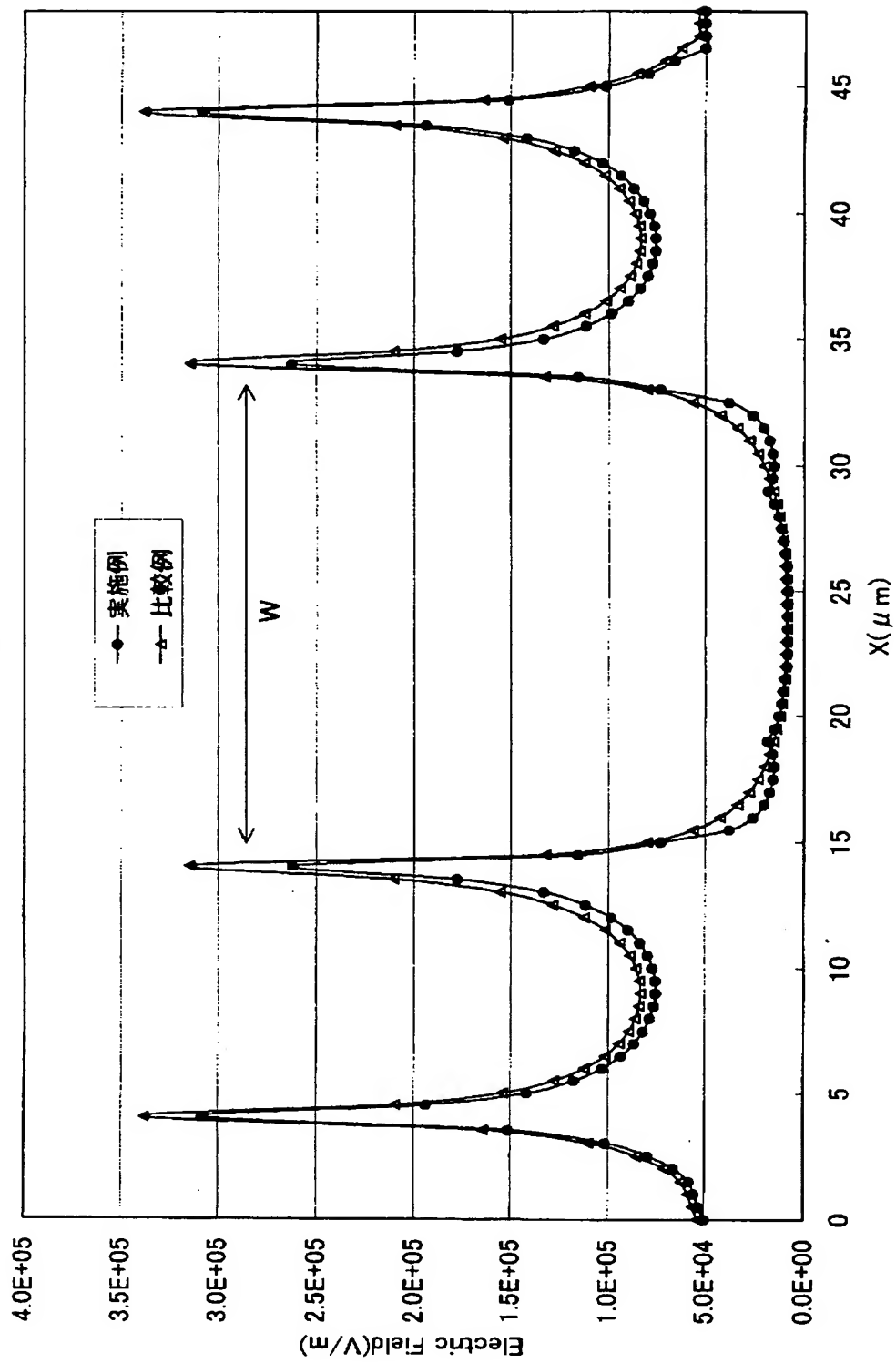
【図 3】

図 3



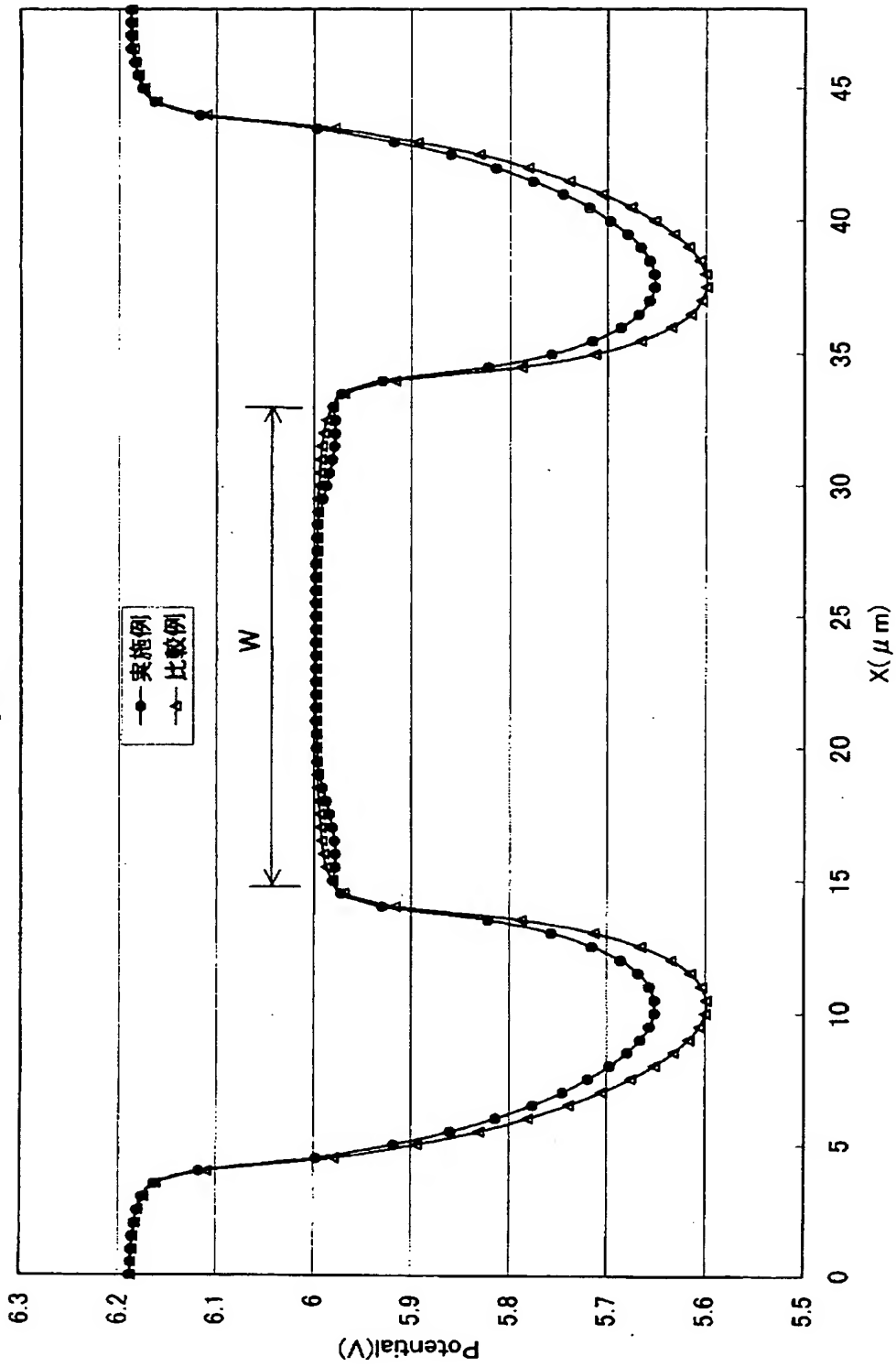
【図 4】

図 4



【図 5】

図 5



【図 6】

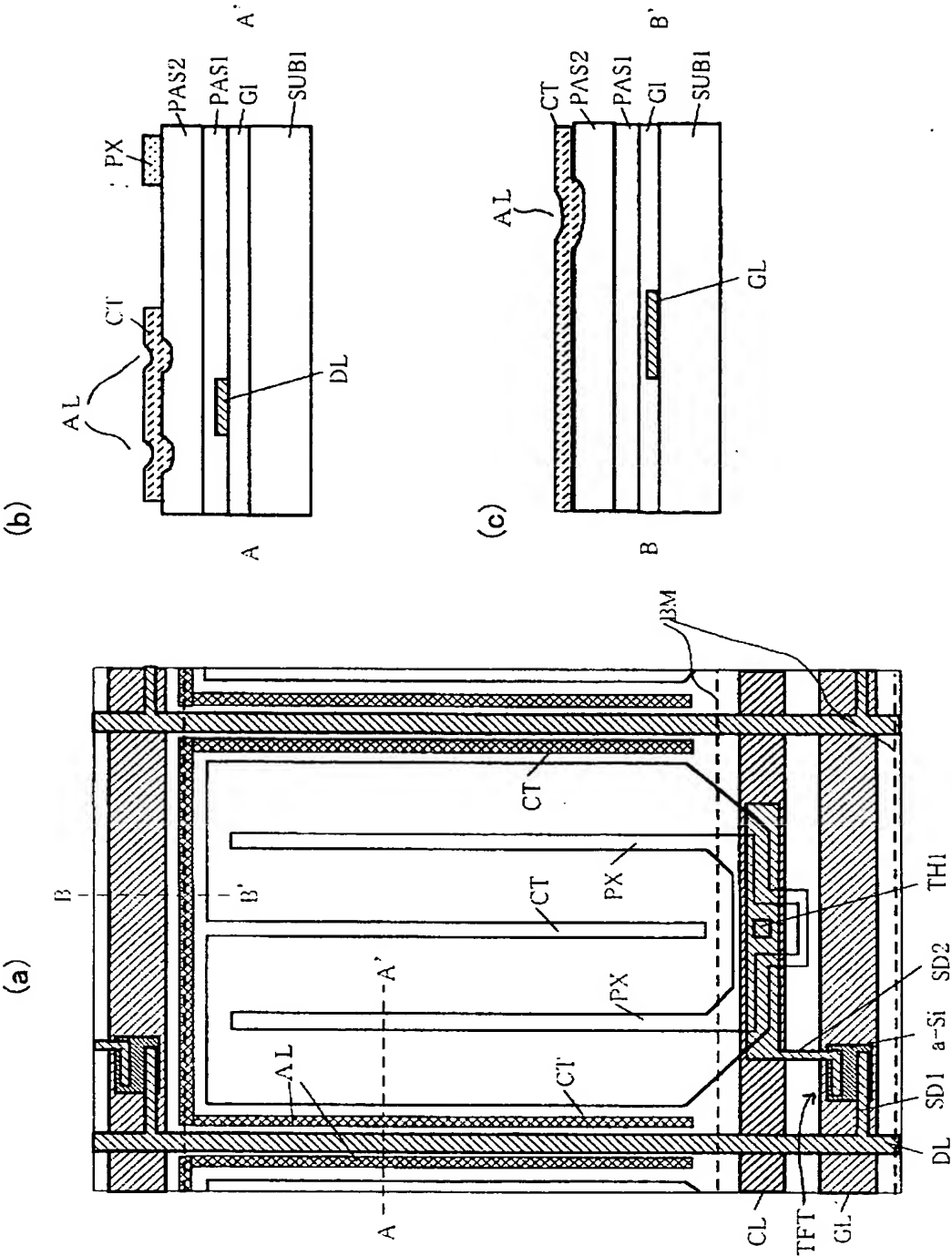


図 6

【図 7】

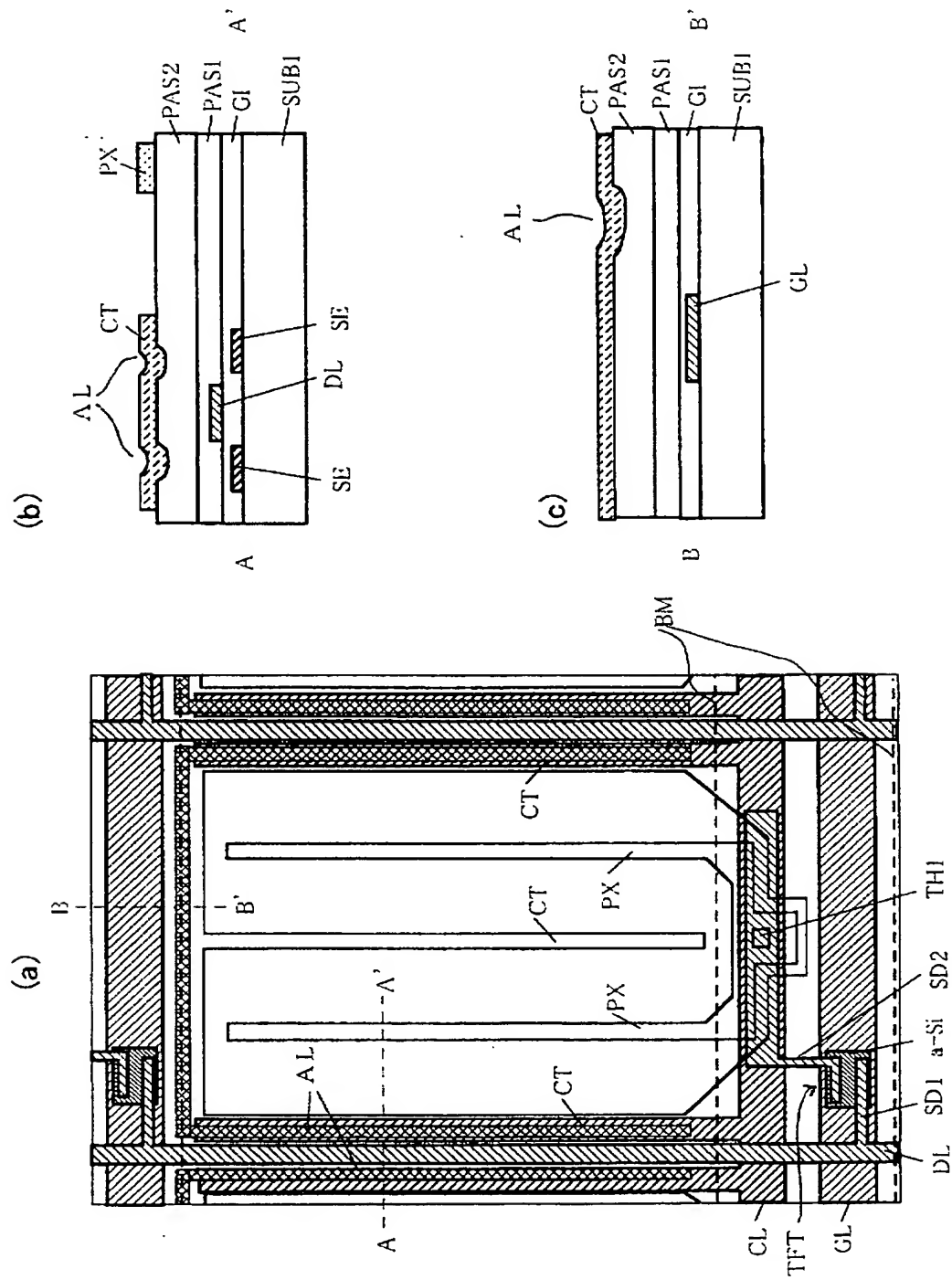
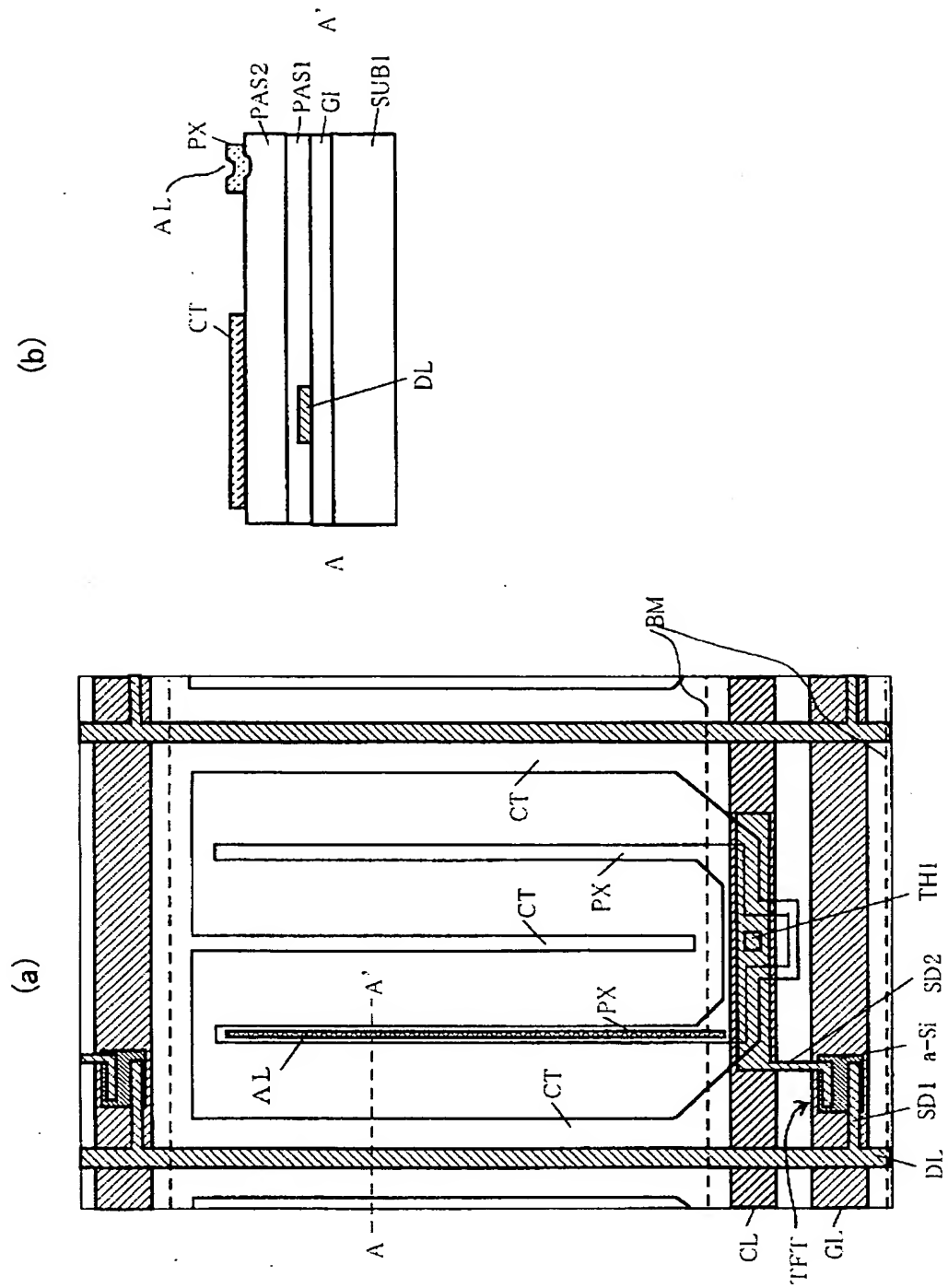


図 7

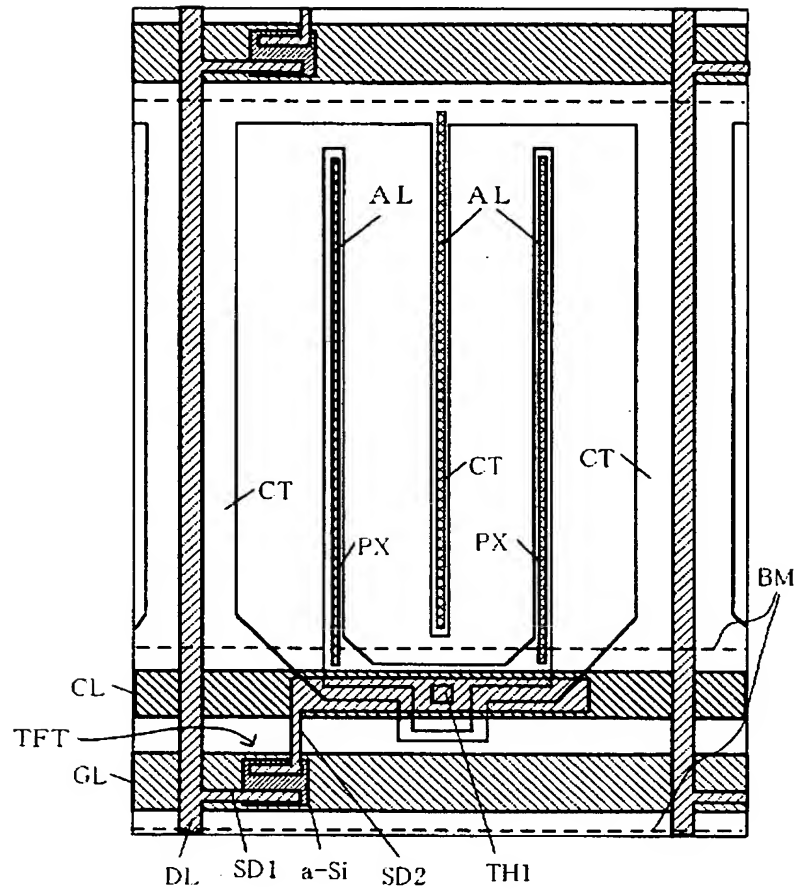
【図 8】

図 8



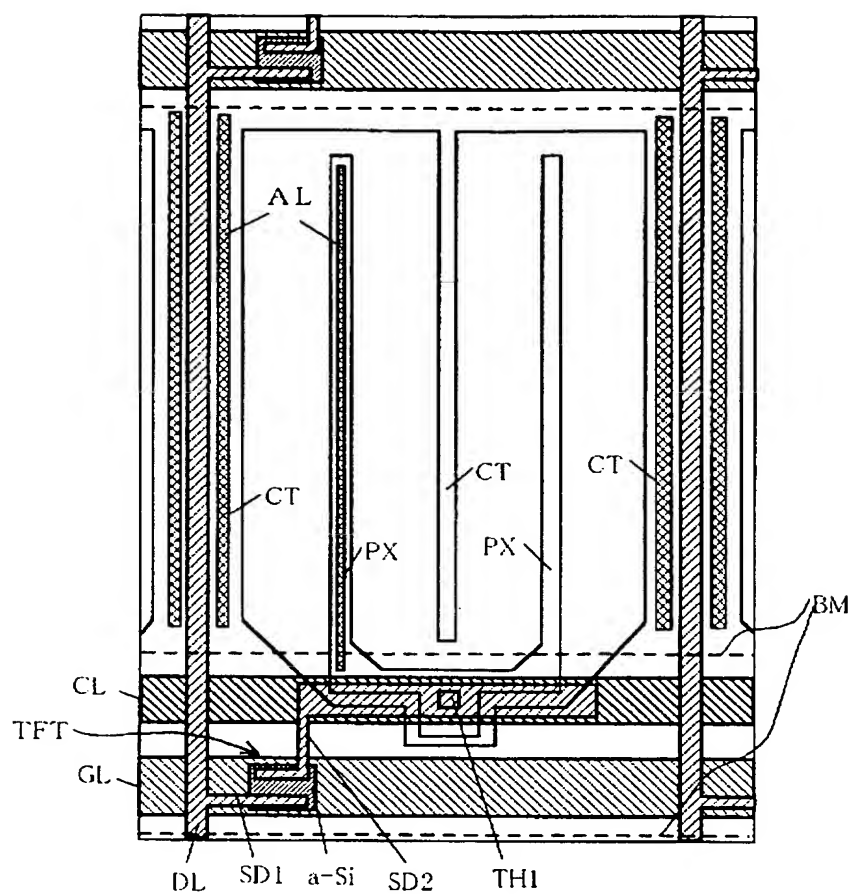
【図 9】

図9



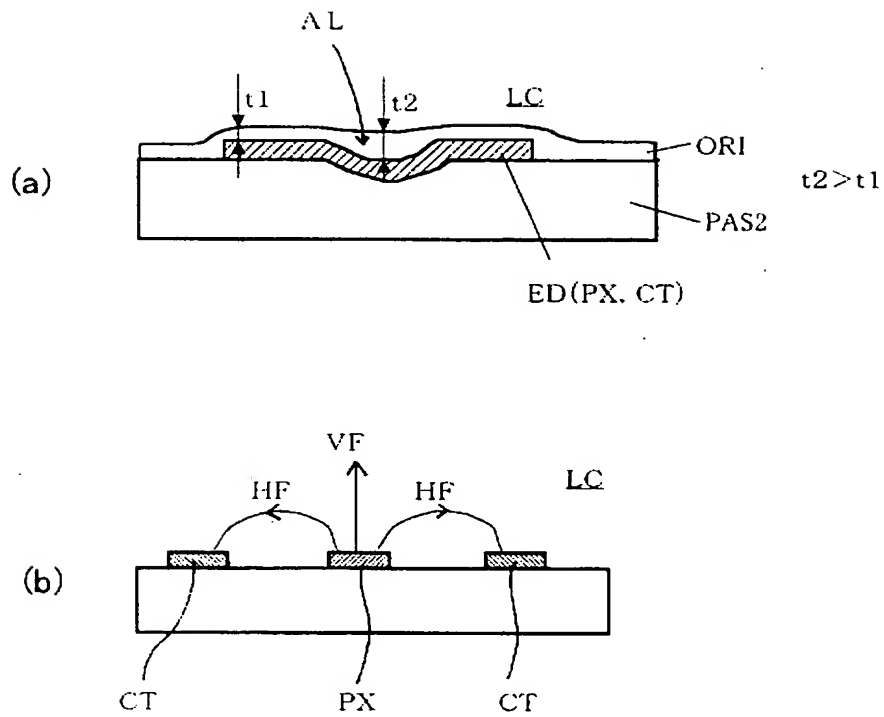
【図 10】

図10



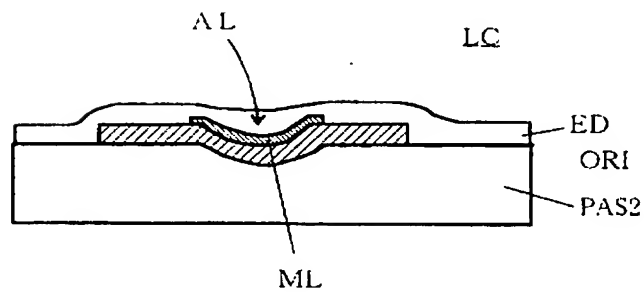
【図 11】

図 11



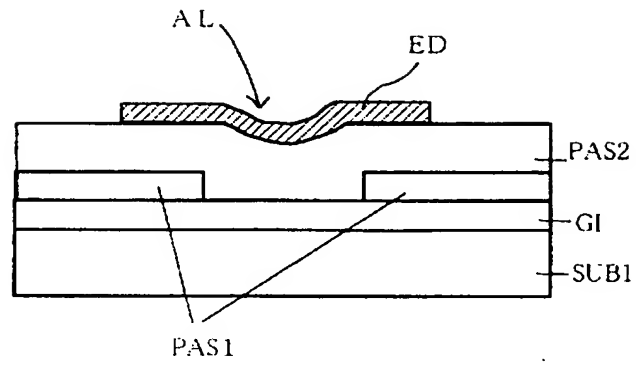
【図 12】

図 12



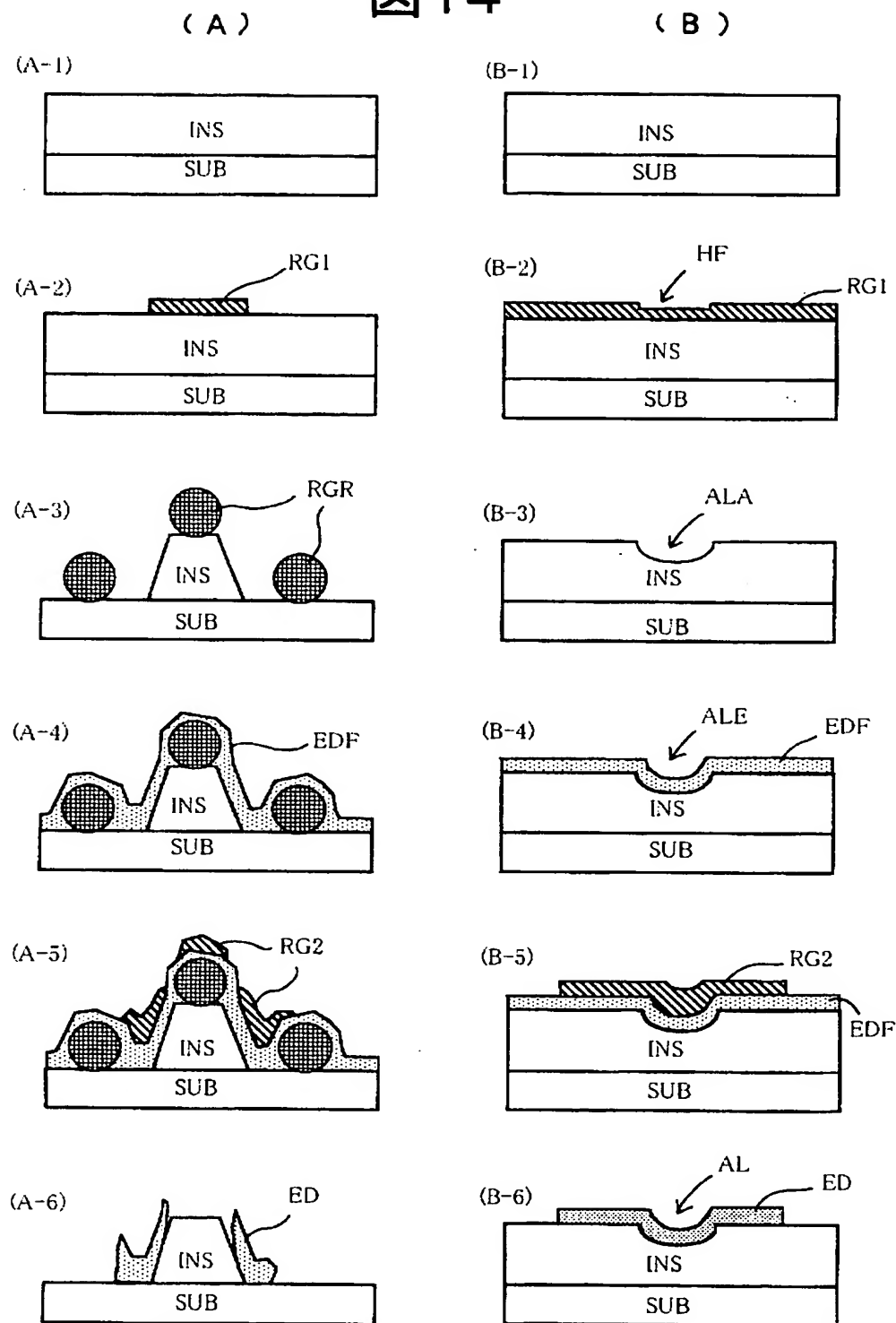
【図 13】

図 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 ドレイン線からの漏洩電界による表示不良を抑制する。

【解決手段】 ドレイン線 D L の上方における対向電極 C T の幅をドレイン線 D L の幅よりより幅広とし、ドレイン線 D L の上方に絶縁層 P A S 1 , P A S 2 を介して当該ドレイン線 D L に重畳させ、対向電極 C T の端縁とドレイン線 D L との間に、その延在方向に沿って窪んだ凹溝 A L を設けた。

【選択図】 図 1

特願 2 0 0 3 - 0 6 0 9 7 1

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ